

SITE SEARCH

Data flow processor

| | | | |
|------------------------------|--|------------------|-------------|
| Application Number | 02127083 | Application Date | 2002.07.29 |
| Publication Number | 1406063 | Publication Date | 2003.03.26 |
| Priority Information | JP2001-2374332001/8/6 | | |
| International Classification | H04N5/765 | | |
| Applicant(s) Name | Matsushita Electric Industrial Co., Ltd. | | |
| Address | | | |
| Inventor(s) Name | Mizohashi Takahiko | | |
| Patent Agency Code | 11021 | Patent Agent | wang huimin |

Abstract

The stream processor of the present invention includes: a selection section and first to fifth processing sections. In the selection section, a plurality of inputs are associated with a plurality of outputs according to control from outside so that streams sent to the plurality of inputs are passed to the associated outputs. The first processing section sends a first stream to the first input among the plurality of inputs. The second processing section sends a second stream to the second input among the plurality of inputs. The third processing section receives a stream from the first output among the plurality of outputs. The fourth processing section receives a stream from the second output among the plurality of outputs. The fifth processing section receives a stream from the third output among the plurality of outputs, subjects the received stream to predetermined processing, and sends the processed stream to the third input among the plurality of inputs.

Machine TranslationClose



[12] 发明专利申请公开说明书

[21] 申请号 02127083. X

[43] 公开日 2003 年 3 月 26 日

[11] 公开号 CN 1406063A

[22] 申请日 2002. 7. 29 [21] 申请号 02127083. X

[30] 优先权

[32] 2001. 8. 6 [33] JP [31] 2001 - 237433

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 沟端孝彦

[74] 专利代理机构 中科专利商标代理有限责任公司

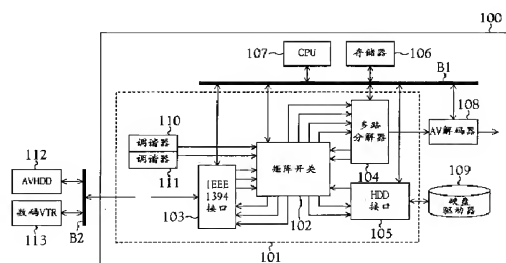
代理人 汪惠民

权利要求书 3 页 说明书 23 页 附图 11 页

[54] 发明名称 数据流处理器

[57] 摘要

本发明为一数据流处理器件，它包括：选择部分和第 1 到第 5 处理部分。选择部分根据来自外部的控制将多个输入和多个输出对应好，将传给多个输入中的每一个输入的数据流传给所对应的输出；第 1 处理部分将第 1 数据流传给所述多个输入中的第 1 输入；第 2 处理部分将第 2 数据流传给所述多个输入中的第 2 输入；第 3 处理部分接收来自所述多个输出中的第 1 输出的数据流；第 4 处理部分接收来自所述多个输出中的第 2 输出的数据流；第 5 处理部分接收来自所述多个输出中的第 3 输出的数据流，对所接收的数据流进行规定的处理，再将加了该处理的数据流传给所述多个输入中的第 3 输入。



1、一种数据流处理器件，其特征在于：

包括：

根据来自外部的控制将多个输入和多个输出对应好，将传给所述多个输入中的每一个输入的数据流传给所对应的输出的选择部分；

将第 1 数据流传给所述多个输入中的第 1 输入的第 1 处理部分；

将第 2 数据流传给所述多个输入中的第 2 输入的第 2 处理部分；

接收来自所述多个输出中的第 1 输出的数据流的第 3 处理部分；

接收来自所述多个输出中的第 2 输出的数据流的第 4 处理部分；以及接收来自所述多个输出中的第 3 输出的数据流，对所接收的数据流进行规定的处理，再将加了该处理的数据流传给所述多个输入中的第 3 输入的第 5 处理部分。

2、根据权利要求第 1 项所述的数据流处理器件，其特征在于：

所述选择部分，让所述多个输入和所述多个输出 1 对 1 地对应好。

3、根据权利要求第 1 项所述的数据流处理器件，其特征在于：

所述选择部分，让所述多个输入中的某 1 个输入对应所述多个输出中的某 2 个输出。

4、根据权利要求第 2 项所述的数据流处理器件，其特征在于：

所述选择部分，复用所述多个输出中的至少 2 个输出为 1 个新的输出。

5、根据权利要求第 3 项所述的数据流处理器件，其特征在于：

所述选择部分，复用所述多个输出中的至少 2 个输出为 1 个新的输出。

6、根据权利要求第 1 项所述的数据流处理器件，其特征在于：

所述第 5 处理部分，从所接收的数据流中选取所希望的信息来生成部分数据流，再将所生成的部分数据流传给所述多个输入中的第 3 输入。

7、根据权利要求第 1 项所述的数据流处理器件，其特征在于：

所述第 3 处理部分及第 4 处理部分中至少有 1 个处理部分对所接收的数据流的接口形式进行变换并将它输出。

8、根据权利要求第 1 项所述的数据流处理器件，其特征在于：

所述第 1 数据流及所述第 2 数据流中至少有 1 个数据流，包含图像数据及 / 或声音数据；

所述第 3 处理部分及第 4 处理部分中至少有 1 个处理部分对包括在所接收的数据流中的图像数据及 / 或声音数据进行解码。

9、根据权利要求第 8 项所述的数据流处理器件，其特征在于：

上述第 5 处理部分，从所接收的数据流中选取所希望的图像数据及 / 或声音数据，将所选取的图像数据及 / 或声音数据传给所述多个输入中的第 3 输入。

10、根据权利要求第 1 项所述的数据流处理器件，其特征在于：

所述第 1 数据流及所述第 2 数据流中至少有 1 个数据流被加密；

所述第 5 处理部分破解加给所接收的数据流的密码。

11、根据权利要求第 1 项所述的数据流处理器件，其特征在于：

所述第 5 处理部分给所接收的数据流加密。

12、根据权利要求第 1 项所述的数据流处理器件，其特征在于：

所述第 1 数据流及所述第 2 数据流中至少有 1 个数据流被用第 1 密码方法加密；

所述第 5 处理部分破解加给所接收的数据流的密码；

所述数据流处理器件还包括：第 6 处理部分；

所述第 6 处理部分，接收来自所述多个输出中的第 4 输出的数据流，并用第 2 密码方法给所接收的数据流加密，再将已加密的数据流传给所述多个输入中的第 4 输入。

13、根据权利要求第 1 项所述的数据流处理器件，其特征在于：

还包括存储部分；

所述第 3 处理部分及所述第 4 处理部分中至少有 1 个处理部分，将所接收的数据流写入所述存储部分中；

所述第 1 处理部分及所述第 2 处理部分中至少有 1 个处理部分，从所述存储部分中读出数据流，再将所读出的数据流传给所对应的输入。

14、根据权利要求第 13 项所述的数据流处理器件，其特征在于：

所述第 3 处理部分及所述第 4 处理部分中至少有 1 个处理部分，存储写到所述存储部分里的数据流在所述存储部分中的写入位置；

所述第 1 处理部分及所述第 2 处理部分中至少有 1 个处理部分，存储从所述存储部分读出的数据流在所述存储部分中的读出位置。

15、根据权利要求第 14 项所述的数据流处理器件，其特征在于：

所述第 1 处理部分及所述第 2 处理部分中至少有 1 个处理部分，参照所述第 3 处理部分及所述第 4 处理部分中至少 1 个处理部分所存储的写入位置来从所述存储部分读出数据流。

16、根据权利要求第 14 项所述的数据流处理器件，其特征在于：

所述第 3 处理部分及所述第 4 处理部分中至少有 1 个处理部分，参照所述第 1 处理部分及所述第 2 处理部分中至少 1 个处理部分所存储的读出位置，来把数据流写到所述存储部分内存储了尚未读出的数据流的那一区域以外。

17、根据权利要求第 13 项所述的数据流处理器件，其特征在于：

所述第 1 数据流及所述第 2 数据流中至少有 1 个数据流包括多个包；

所述多个包中的每一个包，包括：用于识别要否的识别信息；

所述第 5 处理部分，参照所述识别信息来取出包含在所接收的数据流中的多个包中的所希望的包，并用该包生成第 1 部分数据流，再将该第 1 部分数据流传给所述多个输入中的第 3 输入；

所述第 3 处理部分及所述第 4 处理部分中至少有 1 个处理部分，将所接收的第 1 部分数据流写入所述存储部分；

所述第 1 处理部分及所述第 2 处理部分中至少有 1 个处理部分，从所述存储部分读出第 1 部分数据流，再将它作为第 2 部分数据流传给所对应的输入；

所述第 3 处理部分及所述第 4 处理部分中至少有 1 个处理部分，从所接收的第 2 部分数据流中抽出所希望的信息。

数据流处理器

技术领域

本发明涉及一种处理多个数据流的数据流处理器。

技术背景

近年来，越来越多地通过数字数字来播放、传输及储存影像、声音和数据。如数码 TV 播放、DVD、数码 VTR、数码摄录像机、IEEE1394 等均是图像信号、声音信号、数据播放信号和 EPG 等的组合起来而作为数据流来播放、传输、处理及储存的。这些数据流的数据格式多种多样。例如，数码 TV、数码 VTR 使用的是 MPEG 系统标准中所规定的传输数据流；DVD 使用的是 MPEG 系统标准中所规定的程序数据流；而在 IEEE1394 总线上传输数码摄录像机的录像数据时则采用 DV 格式。这样，就必须对这些数据的格式进行各自独特的处理。

在这种状况下，所出现的就不仅是具有一个功能的数码 AV 机，还有具有多个功能的数码 AV 机。例如，拥有 IEEE1394 接口的数码 TV 接收机，能够：“接收并表示正在播放的节目”、“接收正在播放的节目并将它录到通过 IEEE1394 总线联接的外部录放像机中”、“从通过 IEEE1394 总线联接的外部录放像机重放所录下的节目”。输到这个数码 TV 接收机的数据流，是“正在播放的数据流”、“由通过 IEEE1394 总线联接的外部录像机播放的电视节目的数据流”；输出的数据流是“记录到通过 IEEE1394 总线联接的外部录像机里的电视节目的数据流”。多个数据流就是这样被输出、输入。

数码 TV 接收机中，设有处理数据流的集成电路（LSI）作传输解码器，还设有一个与该集成电路不同的另一个集成电路，它是一个既将从外部输入的数据流提供给传输解码器、又将由传输解码器处理了的数据流输向外部的数据流输出、入接口集成电路（如：IEEE1394 接口集成电路）。而

且，这些集成电路在印刷电路板上的连接根据应用系统而被最优化。然而，受时空的限制，现阶段的设计人员是不可能全面考虑到未来所有的使用方法，故将来的应用范围就会受限于人们在设计系统时所做出的设想。

最近，由于集成电路集成化的发展，而有可能将传输解码器和数据流输出、入接口放在一个集成电路内。为此，人们必须对在集成电路一直被利用的将来集成电路的应用范围及在使用集成电路的系统中所要实现的功能作出一个很好的设想。

另一方面，随着图像、声音数字化及网络化的发展，数据流输出、入接口的种类在增加，必须同时处理的数据流的数量也在增加。而且，数据流的处理内容也更加多样化。

发明内容

本发明的目的在于提供一种能够提高所具有的复数个数据流处理功能的构成自由度的数据流处理器。

本发明所涉及的数据流处理器，包括：选择部分和第1~第5的处理部分。选择部分根据来自外部的控制将多个输入和多个输出对应好，将传给多个输入中的每一个输入的数据流传给所对应的输出；第1处理部分将第1数据流传给所述多个输入中的第1输入；第2处理部分将第2数据流传给所述多个输入中的第2输入；第3处理部分接收来自所述多个输出中的第1输出的数据流；第4处理部分接收来自所述多个输出中的第2输出的数据流；第5处理部分接收来自所述多个输出中的第3输出的数据流，对所接收的数据流进行规定的处理，再将加了该处理的数据流传给所述多个输入中的第3输入。

最好是，所述选择部分让所述多个输入和所述多个输出1对1对应好。

所述数据流处理器，可通过控制选择部分，在将来自第1处理部分的数据流传给第3及第4处理部分中之一的同时，将来自第2处理部分的数据流传给第3及第4处理部分中之另一个；还可通过控制选择部分，在将来自第1及第2处理部分中之一的数据流传给第3及第4处理部分中之一的同时，将来自第1及第2处理部分中之另一个的数据流传给第5处理部分，且将由第5处理部分处理后的数据流传给第3及第3处理部分中之另

图 8(a)是为说明在 AV 解码器上进行解码并重现从数码摄录像机电视播放的图像和声音的处理过程。图 8(b)是为说明关于通过以太网(R)进行接收, 对于 CPU 选取的数据流进行非多路传输处理的情况。图 8(c)是为说明调谐器选择处理从播放数据流中选取数码 TV 接收机的软件处理的节目表、密码解除用钥匙数据等处理的过程。

图 9 是表示本发明第 3 实施例所涉及开关组的构成的方框图。

图 10 及图 11 是用以说明图 9 所示的开关组的工作情况的时序图。

具体实施方式

下面, 参照附图详细说明本发明的实施例。并且, 图中相同或者相当部分标有同一符号, 且不重复说明。

(实施例 1)

<系统的整体结构>

图 1 是表示本发明的第 1 实施例所涉及的数码 TV 接收机系统的整体结构的方框图。图 1 所示的系统, 包括: 数码 TV 接收机 100、AVHDD112 和数码 VTR113。

数码 TV 接收机 100, 包括: 数据流处理器 101、存储器 106、CPU 107、AV 解码器 108 和硬盘器 109。

数据流处理器 101, 包括: 调谐器 110 及 111、矩阵开关 102、IEEE 1394 接口 103、多路分解器 104 和 HDD 接口 105。调谐器 110 及 111 是为接收数码 TV 播放的调谐器, 向矩阵开关 102 输出所接收的播放数据流。数据流处理器 101 中被输入来自数码 TV 调谐器 110 及 111 的播放数据流、来自 IEEE1394 总线 B2 的数据流和来自硬盘器 109 的电视播放数据流。所输入的数据流被处理后又或是被储存在存储器 106 中, 或是做为处理后的数据流被输出。另外, 也有所输入的数据流原样输出的情况。从数据流处理器 101 向 IEEE1394 总线 B2、硬盘器 109、AV 调谐器 108 输出数据流。

存储器 106 是数码 TV 接收机 100 中的主存储器。在 CPU 执行软件时或储存数据时, 利用存储器 106。另外, 在存储器 106 中储存着由数据

一个。这样的话，因可自由地改变输到选择部分的数据流在第 3 到第 5 处理部分之间的分配关系，故可提高具有处理多个数据流功能的装置构成上的自由度。

最好是，所述选择部分让所述多个输入中的某 1 个输入对应所述多个输出中的某 2 个输出。

所述数据流处理器，可通过控制选择部分，将来自第 1 处理部分的数据流传给第 3 及第 4 处理部分中之一和第 5 处理部分，且将由第 5 处理部分处理后的数据流传给第 3 及第 4 处理部分中之另一个。还可将来自第 1 处理部分的数据流传给第 3 及第 4 处理部分。

最好是，所述选择部分至少复用所述的多个输出中的 2 个输出，且以它作为 1 个新的输出。

根据所述数据流处理器，可自 1 个输出系统输出多个数据流。

附图说明

图 1 是表示本发明的第 1 实施例所涉及系统的整体构成方框图。

图 2 是详细表示图 1 中数据流处理器的构成的方框图。

图 3(a)是用于说明从播放数据流中选出所希望的节目数据流，并将其储存于连接在 IEEE1394 总线上的 AVHDD 的处理过程的图；图 3(b)是用于说明从数码 VTR 向外部硬盘器复制节目数据流的处理过程的图；图 3(c)是用以说明从另外的播放选出节目数据流并将其存储在硬盘器里的处理过程；图 3(d)是用以说明从硬盘器中取出既存的数据播放信息，并将其放到在存储器中，再由 CPU 处理时的图。

图 4(a)是用以说明同时向存储器 106 存储播放节目的 AV 重播数据和其音频数据的处理过程。图 4(b)是为说明关于播放节目数据流的 AV 重播数据和相同节目同步用传输解码数据流形式录像于 AVHDD112 的情况。

图 5 是说明关于从接收播放中选取节目数据流，然后解除加在这个节目数据流上的播放密码，进一步在这个节目数据流上加上在储存硬盘上的记录用密码，录制在储存硬盘器上的处理过程。

图 6 是表示本发明的第 2 实施例所涉及系统的整体构成的方框图。

图 7 是详细表示图 6 中数据流处理器的构成的方框图。

流处理器 101 处理了的数据流。

AV 解码器 108 延长并输出由数码 TV 接收机 100 接收/重播了的 AV 数据。

硬盘器 109 既储存从数据流处理器 101 输出的数据流, 又向数据流处理器 101 输出存储着的数据流。

AVHDD112 是具有录制、电视播放数字 AV 数据流之功能的硬盘器。AV HDD112 中包括: 它和总线 B2 之间的接口, 且或录制从总线 B2 输入的数据流, 或向总线 B2 输出电视播放数据流。

数字 VTR113 是具有录制、电视播放数字 AV 数据流之功能的 VTR 器。数字 VTR113 或录制从总线 B2 输入的数据流, 或向总线 B2 输出电视播放数据流。

<数据流处理器 101 的内部构成>

图 2 是详细表示图 1 所示数据流处理器 101 的构成的方框图。

<矩阵开关 102>

如图 2 所示, 矩阵开关 102, 包括: 输入端 T0~T7 及 T20、输出端 T10~T18、开关组 200~208 和开关控制寄存器 209。

输入端 T0 和 T1 接收来自调谐器 110 及 111 的数据流。输入端 T2 及 T3 接收来自多路分解器 104 中的输出端口 OUT0 及 OUT1 的数据流。输入端 T4~T6 接收来自 IEEE1394 接口 103 的输出端口 OUT0~OUT2 的数据流。输入端 T7 接收来自 HDD 接口 105 的输出端口 OUT0 的数据流。输入端 T20 接收来自 CPU 总线 B1 的控制信号。

开关组 200~208, 包括: 开关(00~70)~(08~78)。当开关(00~07)~(08~78)处于接通状态时, 该开关组将已传送给输入端 T0~T7 的数据流再传送给输出端 T10~T18。

开关控制寄存器 209, 根据从 CPU107 通过总线 B1 传送给输入端 T20 的控制信号, 向开关组 200~208 提供控制信号。传送给开关组 200~208 的控制信号是指定该开关组内所包括的开关中哪一个开关接通的信号。每一个开关组 200~208 都根据来自开关控制寄存器 209 的控制信号, 接通它所对应的开关(00~07)~(08~78)的一个开关。也就是说, 每一个开关组 200~208 根据来自开关控制寄存器 209 的控制信号, 选取传送给输入

端 T0~T7 的数据流中的一个并将它传给输出端 T10~T18。

按上述构成的矩阵开关 102, 根据来自开关控制寄存器 209 的每个控制信号让每一个输出端 T10~T18 及输入端 T0~T7 中的一个对应上, 传送给已对上的输入端的数据流从每一个输出端 T10~T18 输出。也就是说, 传送给输入端 T0~T7 的 8 个输入数据流中的每一个可以从 9 个输出端 T10~T18 中的任一端输出。

<IEEE1394 接口 103>

IEEE1394 接口 103, 包括: 3 个输入端口 IN0~IN2 和 3 个输出端口 OUT 0~OUT2。来自矩阵开关 102 的输出端 T10~T12 的数据流被传送给 IEEE1394 接口 103 的输入端口 IN0~IN2。来自 IEEE1394 接口 103 的输出端口 OUT0~OUT2 的数据流被传送给矩阵开关 102 的输入端 T4~T6。IEEE1394 接口 103, 对来自总线 B2 的数据流的接口形式进行变换, 并从输出端口 OUT0~OUT2 将它输出; 还对传送给输入端口 IN0~IN2 的数据流的接口形式进行变换并将它传给总线 B2。

<HDD 接口 105>

HDD 接口 105, 包括: 2 个输入端口 IN0 及 IN1 和 1 个输出端口 OUT 0。来自矩阵开关 102 的输出端 T18 及 T17 的数据流被传送给 HDD 接口 105 的输入端口 IN0 及 IN1。来自 HDD 接口 105 的输出端口 OUT0 的数据流被传送给矩阵开关 102 的输入端 T7。HDD 接口 105, 对来自硬盘器 109 的数据流的接口形式进行变换, 并从输出端口 OUT0 将它输出; 还对传送给输入端口 IN0、IN1 的数据流的接口形式进行变换并将它传给硬盘器 109。

<多路分解器 104>

多路分解器 104, 包括: 4 个输入端口 IN0~IN3 和 2 个输出端口 OUT 0 及 OUT1。来自矩阵开关 102 的输出端 T13~T16 的数据流被传送给多路分解器 104 的输入端口 IN0~IN3; 来自多路分解器 104 的输出端口 OUT 0 及 OUT1 的数据流被传送给矩阵开关 102 的输入端 T2 及 T3。多路分解器 104 可以同时处理传给 IN0~IN3 的 4 个数据流。多路分解器 104 从输出端口 OUT0、OUT1 输出处理后的数据流, 并或把多路分解处理(从数据流取出数据的处理)后所得到的数据录制在存储器 106 或把它传给 AV

分解器 108。

＜同时进行多个处理＞

接下来，按顺序说明在上述构成的系统中，是如何同时对各种数据流进行各种处理、输出的。

＜处理 1＞

参照图 1、图 2 及图 3(a)，说明将所接收的节目数据流暂存于 AVHDD 112 中，并按时间差电视播放、表示它的处理(处理 1)。

首先，说明从播放数据流中选取所希望的节目数据流并将其储存于 AVHDD112 的处理过程。

指示开关组 203 的开关 03 及开关组 200 的开关 20 接通的控制信号从 CPU107 传给矩阵开关 102 的开关控制寄存器 209。据此，开关控制寄存器 209 就将使开关 03 及 20 接通的控制信号传给开关组 203 及 200。开关 03 及 20 就变成接通状态。

由调谐器 110 接收的播放数据流(加密了的数据流)先被传送给矩阵开关 102 的输入端 T0，再通过开关 03 从输出端 T13 输出，然后被传给多路分解器 104 的输入端口 IN0。

多路分解器 104 由 CPU107 事先设定好，以便它能解除输入到输入端口 IN0 的数据流的密码，选取构成所希望的节目的数据流。多路分解器 104 解除输入到输入端口 IN0 的播放数据流的密码，选取构成所希望的节目的数据流并从输出端口 OUT0 将它输出。从多路分解器 104 的输出端口 OUT0 输出的数据流被传给矩阵开关 102 的输入端 T2。输给输入端 T2 的数据流通过开关 20 从输出端 T10 输出，再又被传给 IEEE 1394 接口 103 的输入端口 IN0。IEEE1394 接口 103 通过总线 B2 将该数据流传送给 AVHDD112。由 AVHDD112 储存该数据流。

其次，说明按顺序读出储存于 AVHDD112 的节目数据流，按时间差重播所接收的节目的过程。

不仅指示接通开关组 203 的开关 03 及开关组 200 的开关 20，还指示开关组 204 的开关 44 接通的控制信号从 CPU107 提供给矩阵开关 102 的开关控制寄存器 209。据此，开关控制寄存器 209 将使开关 03、20 及追加开关 44 接通的控制信号传给开关组 204。开关 03、20 及追加开关 44

就处于接通状态。

多路分解器 104 除上述设定以外, 还由 CPU107 设定好, 以便它能传给输入端口 IN1 的数据流中选取 AV 数据并将它传给 AV 解码器 108。

此后, 储存于 AVHDD112 的节目数据流被依次读出, 并被从 IEEE1394 接口 103 的输出端口 OUT0 传给矩阵开关 102 的输入端 T4。传给输入端 T4 的数据流通过开关 44, 而从输出端 T14 输出, 再被传给多路分解器 104 的输入端口 IN1。多路分解器 104 取出构成节目的 AV 数据并将它提供给 AV 解码器 108。这样就实现了电视播放节目的 AV 电视播放。按上述的进行, 将所接收的节目暂存于 AVHDD112 中并按时间差电视播放、显示的处理。

<处理 2>

下面, 参照图 1、图 2 及图 3(b), 说明从数字 VTR113 向硬盘器 109 复制节目数据流的处理(处理 2)。处理 2 与上述处理 1 同时进行。

指示开关组 208 的开关 58 接通的控制信号被从 CPU107 传给矩阵开关 102 的开关控制寄存器 209。开关控制寄存器 209 据此将使开关 58 接通的控制信号传给开关组 208。开关 58 据此而成为接通状态。另外, IEEE1394 接口 103 被设定为能从输出端口 OUT1 输出来自数字 VTR113 的电视播放数据流。还有, HDD 接口 105 被设定好, 以便将提供给输入端口 IN0 的数据流储存于硬盘器 109。

若在做好上述设定后电视播放数字 VTR113, 所电视播放的数据流就被从 IEEE1394 接口 103 的输出端口 OUT1 提供给矩阵开关 102 的输入端 T5, 并通过开关 58 从输出端 T18 提供给 HDD 接口 105 的输入端 IN0, 而被储存于硬盘器 109 中, 如图 3(b)所示。

因处理 2 中的数据流在矩阵开关 102 内的经过途径和上述处理 1 的经过途径不同, 故处理 2 可和处理 1 并列着同时进行。

<处理 3>

下面, 参照图 1、图 2 及图 3(c), 说明选取来自别的接收播放的节目数据流并将它记录到硬盘器 109 的处理(处理 3)。处理 3 与上述处理 1、2 同时进行。

指示开关组 205 的开关 15 及开关组 207 的开关 37 接通的控制信号

被从 CPU107 传给矩阵开关 102 的开关控制寄存器 209。开关控制寄存器 209 据此将使开关 15 及 37 接通的控制信号传给开关组 205 及 207。开关 15 及 37 就据此而成为接通状态。

由调谐器 111 接收了的播放数据流被传给矩阵开关 102 的输入端 T1，并通过开关 15 被从输出端 T15 输出，然后又被输到多路分解器 104 的输入端口 IN2。

多路分解器 104 由 CPU107 中事先设定好，以便可以选取构成所希望的节目的数据流。多路分解器 104 从被输入到输入端口 IN2 的播放数据流中选取构成所希望的节目的数据流，并将它从输出端口 OUT1 输出。从多路分解器 104 的输出端口 OUT1 输出的数据流被传给矩阵开关 102 的输入端 T3。输入给输入端 T3 的数据流通过开关 37 而被从输出端 T17 输出，然后又被提供给 HDD 接口 105 的输入端口 IN1。HDD 接口 105 将该数据流储存于硬盘器 109 中。

因处理 3 中的数据流在矩阵开关 102 内的经过途径和上述处理 1、2 的经过途径不同，故处理 3 可和处理 1、2 并列着同时进行。

<处理 4>

下面，参照图 1、图 2 及图 3(d)，说明选取储存在硬盘器 109 中的数据播放信息，并将它存到存储器 106 中再在 CPU107 中进行处理的情况(处理 4)。处理 4 和上述处理 1~3 可同时进行。

指示开关组 206 的开关 76 接通的控制信号被从 CPU107 传给矩阵开关 102 的开关控制寄存器 209。开关控制寄存器 209 据此将使开关 76 接通的控制信号传给开关组 206。开关 76 就据此而成为接通状态。另外，多路分解器 104 由 CPU107 设定好，以便能从提供给输入端口 IN3 的数据流中选取数据播放信息并将它储存于存储器 106 中。

HDD 接口 105，选取事先存储于硬盘器 109 中的数据播放信息，并将它从输出端口 OUT0 提供给矩阵开关 102 的输入端 T7。提供给输入端 T7 的数据流通过开关 76 被从输出端 T16 提供给多路分解器 104 的输入端口 IN3。多路分解器 104 遵从设定从提供给输入端口 IN3 的数据流中选取数据播放信息并将它存储于存储器 106 中。如此，CPU107 就可以参照储存在存储器 106 中的数据播放信息进行处理。

因处理 4 中的数据流在矩阵开关 102 内的经过途径和上述处理 1~3 的经过途径不同, 故处理 4 可和处理 1~3 并列着同时进行。

<对一个数据流进行多个处理>

下面, 说明在图 1 所示的系统中, 对一个数据流进行多个处理、输出的情况。

<事例 1>

首先, 参照图 1、图 2 及图 4(a)、说明同时进行播放节目的 AV 电视播放处理、向存储器 106 储存该节目的音频数据之处理的情况(事例 1)。

指示开关组 203 的开关 03、开关组 204 的开关 04 接通的控制信号被从 CPU107 传给矩阵开关 102 的开关控制寄存器 209。开关控制寄存器 209 据此将使开关 03 及 04 接通的控制信号传给开关组 203 及 204。开关 03 及 04 据此而成为接通状态。另外, 多路分解器 104 由 CPU107 设定好, 以便能以 PES 包的形式从已传给输入端口 IN0 的数据流中选取要收看的节目的 AV 数据, 并将它输给 AV 解码器 108; 多路分解器 104 还被设定好, 以便能从已传给输入端口 IN1 的数据流中选取要收看的节目的 AV 数据, 并以它作基本数据流, 再将它存储于存储器 106 中。

来自调谐器 110 的播放数据流被传给矩阵开关 102 的输入端 T0。该数据流通过开关 03 被从输出端 T13 传给多路分解器 104 的输入端口 IN0。多路分解器 104 以 PES 包的形式从该数据流中选取要收看的 AV 数据, 并将它输给 AV 解码器 108。另一方面, 来自调谐器 110 的播放数据流, 通过矩阵开关 102 的开关 04 被从输出端 T14 传给多路分解器 104 的输入端口 IN1。多路分解器 104 以基本数据流的形式从该数据流中选取要收看的节目的 AV 数据, 再将它存储于存储器 106 中。

这样, 一个数据流就能被分支而可同时对它进行多个处理。

<事例 2>

其次, 参照图 1、图 2 及图 4(b)、说明同时进行播放节目数据流的 AV 电视播放处理、以 TS 形式将该节目录制到 AVHDD112 的情况。

指示开关组 203 的开关 03、开关组 204 的开关 04 及开关组 200 的开关 20 接通的控制信号被从 CPU107 传给矩阵开关 102 的开关控制寄存器 209。开关控制寄存器 209 据此将使开关 03、04 及 20 接通的控制信号传

给开关组 203、204 及 200。开关 03、04 及 20 据此而成为接通状态。另外，多路分解器 104 由 CPU107 设定好，以便能以 PES 包的形式从已传给输入端口 IN0 的数据流中选取要收看的节目的 AV 数据，并将它输给 AV 解码器 108；多路分解器 104 还被设定好，以便能以 TS 的形式从已传给输入端口 IN1 的数据流中选取要收看的节目的数据流，再将它从输出端口 0 输出；设定好 IEEE1394 接口 103，以便将传给输入端口 IN0 的数据流记录到 AVHDD112 中。

来自调谐器 110 的播放数据流被传给矩阵开关 102 的输入端 T0。该数据流通过开关 03 被从输出端 T13 传给多路分解器 104 的输入端口 IN0。多路分解器 104 以 PES 包的形式从该数据流中选取要收看的 AV 数据，并将它输给 AV 解码器 108。另一方面，来自调谐器 110 的播放数据流，通过矩阵开关 102 的开关 04 被从输出端 T15 传给多路分解器 104 的输入端口 IN1。多路分解器 104 以 TS 的形式从该数据流中选取要收看的节目，并从输出端口 OUT0 将它输出。从多路分解器 104 的输出端口 OUT0 输出的数据流被传给矩阵开关 102 的输入端 T2，通过开关 20 被从输出端 T10 传给 IEEE1394 接口 103 的输入端口 IN0。IEEE1394 接口 103 通过总线 B2 将该数据流记录到 AVHDD112 中。

这样，一个数据流就能被分支而可同时对它进行多个处理。

<其它处理>

下面，参照图 1、图 2 及图 5，说明选取来自接收播放的节目数据流，将加给该节目数据流的播放用密码解除，加上硬盘记录用密码之后，再记录到硬盘器 109 里的处理。

指示开关组 205 的开关 15、开关组 206 的开关 26 及开关组 207 的开关 37 接通的控制信号被从 CPU107 传给矩阵开关 102 的开关控制寄存器 209。开关控制寄存器 209 据此将使开关 15、26 及 37 接通的控制信号传给开关组 205、206 及 207。开关 15、26 及 37 据此而成为接通状态。由调谐器 111 接收的播放数据流被传给矩阵开关 102 的输入端 T1，并通过开关 15 被从输出端 T15 输出，又被输到多路分解器 104 的输入端口 IN2。

多路分解器 104 由 CPU107 中事先设定好，以便从已输入到输入端口 IN2 的数据流中选取构成被记录节目的数据流，解除播放用密码；以及

给从输入端口 IN3 输入的数据流加上硬盘记录用密码。

多路分解器 104 从已输入到输入端口 IN2 的数据流中选取构成所希望的节目的数据流，解除加给该数据流的播放用密码，之后再从输出端口 OUT0 输出它。

从多路分解器 104 的输出端口 OUT0 输出的数据流被传给多路分解器 104 的输入端 T2。输给输入端 T2 的数据流通过开关 26 而被从输出端 T16 输出，又被输到多路分解器 104 的输入端口 IN3。

多路分解器 104 给输入到输入端口 IN3 的数据流加上硬盘记录用密码，再将它从输出端口 OUT1 输出。

从多路分解器 104 的输出端口 OUT1 输出的数据流被传给矩阵开关 102 的输入端 T3。被输给输入端 T3 的数据流通过开关 37 被从输出端 T17 输出，又被传给 HDD 接口 105 的输入端口 IN1。HDD 接口 105 将该数据流储存于硬盘器 109 中。

这样，所输入的数据流就由多路分解器 104 解除播放用密码，经由矩阵开关 102 再次被输到多路分解器 104 中。在多路分解器 104 中，进行硬盘记录用密码化处理，再经过矩阵开关 102 自硬盘接口 105 存储于硬盘器 109 中。

<效果>

如上所述，在实施例 1 所涉及的系统下，可同时并列处理多个数据流，也可直接输出所输入的数据流。还可根据矩阵开关 102 内的开关是如何设定的来自由地改变系统结构。

需提一下，矩阵开关 102、IEEE1394 接口 103 及 HDD 接口 105 的输出入端口数并不限于上述个数，可根据所需的系统结构自由地设定它。也不排除其它种类的数据流输出入接口、数据流处理电路等。

(实施例 2)

<系统的整体结构>

图 6 是表示本发明的实施例 2 所涉及的数码 TV 接收机系统的整体结构的方框图。图 6 所示的系统，包括：数码 TV 接收机 500、AVHDD112 和数码摄录像机 508。

数码TV接收机500,包括:数据流处理器501、存储器106、CPU 107、以太网(R)接口507、DVD驱动器509。

数据流处理器501,包括:调谐器111、矩阵开关502、IEEE 1394接口503、多路分解器504、AV解码器505、HDD接口105和DMA电路506。向数据流处理器501输入来自调谐器111的播放数据流、来自总线B2的数据流和来自DVD驱动器509的电视播放数据流。所输入的数据流被处理后又或是被储存在存储器106中,或是做为处理后的数据流被输出。另外,也有所输入的数据流原样输出的情况。还可,从向存储器106储存数据流,或从存储器106读出数据流并将它输入。从数据流处理器501向总线B2、DVD驱动器509、AV解码器505输出数据流。

DVD驱动器509录制从数据处理器501输出的数据流,或向数据流处理器501输出所储存的数据流。

以太网(R)接口507或向存储器106储存通过以太网(R)接收了的数据,以及将存储器106内的数据发送给以太网。

数码摄录像机508或通过总线B2播放所录制了的AV数据流,或录制通过总线B2输入了的AV数据流。

<数据流处理器501的内部构成>

图7是详细表示图6所示的数据流处理器501的构成的方框图。

<矩阵开关502>

如图7所示,矩阵开关502,包括:输入端T30~T37及T50、输出端T40~T48、开关组600~608和开关控制寄存器609。

输入端T30接收来自DMA电路506的输出端口OUT0的数据流。输入端T31接收来自调谐器111的数据流。输入端T32及T33接收来自多路分解器504的输出端口OUT0及OUT1的数据流。输入端T34~T36接收来自IEEE1394接口503的输出端口OUT0~OUT2的数据流。输入端T37接收来自HDD接口105的输出端口OUT0的数据流。输入端T50接收来自总线B1的控制信号。

开关组600,包括:开关00~30、70。当开关00~30、70处于接通状态时,该开关组将已传送给输入端T30~T33、T37的数据流再传送给输出端T40。开关组601,包括:开关01~31、71。当开关01~31、71

处于接通状态时，该开关组将已传送给输入端 T30~T33、T37 的数据流再传送给输出端 T41。开关组 602，包括：开关 02~72。当开关 02~72 处于接通状态时，该开关组将已传送给输入端 T30~T37 的数据流再传送给输出端 T42。开关组 603，包括：开关 13~73。当开关 13~73 处于接通状态时，该开关组将已传送给输入端 T31~T37 的数据流再传送给输出端 T43。开关组 604，包括：开关 04、14、44~74。当开关 04、14、44~74 处于接通状态时，该开关组将已传送给输入端 T30、T31、T34~T37 的数据流再传送给输出端 T44。开关组 605，包括：开关 05、15、45~75。当开关 05、15、45~75 处于接通状态时，该开关组将已传送给输入端 T30、T31、T34~T37 的数据流再传送给输出端 T45。开关组 606，包括：开关 06、16、46~76。当开关 06、16、46~76 处于接通状态时，该开关组将已传送给输入端 T30、T31、T34~T37 的数据流再传送给输出端 T46。开关组 607，包括：开关 07~67。当开关 07~67 处于接通状态时，该开关组将已传送给输入端 T30~T36 的数据流再传送给输出端 T47。开关组 608，包括：开关 08~68。当开关 08~68 处于接通状态时，该开关组将已传送给输入端 T30~T36 的数据流再传送给输出端 T48。

图 7 所示开关组 600~608 与图 2 所示的开关组 200~208 相比，省略了一部分开关。这是因为省略了将从 IEEE1394 接口 503 输入的数据输出给 IEEE1394 接口 503 时不可能通过的开关。

开关控制寄存器 609，根据从 CPU107 通过总线 B1 传送给输入端 T50 的控制信号，向开关组 600~608 提供控制信号。传送给开关组 600~608 的控制信号是指定该开关组内所包括的开关中哪一个开关接通的信号。开关组 600~608 根据来自开关控制寄存器 609 的控制信号接通 1 个开关。也就是说，开关组 600~608 选择提供给输入端 T30~T37 的数据流中的一个并将它输出给输出端 T40~T48。

按上述构成的矩阵开关 502，可将传送给输入端 T30~T37 的 8 个输入数据流分别输出给 9 个输出端 T40~T48 中所指定的那一个输出端。

<IEEE1394 接口 503>

IEEE1394 接口 503，包括：2 个输入端口 IN0、IN1 和 3 个输出端口 OUT 0~OUT2。来自矩阵开关 502 的输出端 T40、T41 的数据流被传送

给 IEEE1394 接口 503 的输入端口 IN0、IN1。来自 IEEE1394 接口 503 的输出端口 OUT0~OUT2 的数据流被传送给矩阵开关 502 的输入端 T34~T36。IEEE1394 接口 503，对来自总线 B2 的数据流的接口形式进行变换，并从输出端口 OUT0~OUT2 将它输出；还对传送给输入端口 IN0、IN1 的数据流的接口形式进行变换并将它传给总线 B2。

<HDD 接口 105>

HDD 接口 105，包括：2 个输入端口 IN0 及 IN1 和 1 个输出端口 OUT0。来自矩阵开关 502 的输出端 T48 及 T47 的数据流被传送给 HDD 接口 105 的输入端口 IN0 及 IN1。来自 HDD 接口 105 的输出端口 OUT0 的数据流被传送给矩阵开关 502 的输入端 T37。HDD 接口 105，对来自 DVD 驱动器 509 的数据流的接口形式进行变换，并从输出端口 OUT0 将它输出；还对传送给输入端口 IN1 的数据流的接口形式进行变换并将它传给 DVD 驱动器 509。

<多路分解器 504>

多路分解器 504，包括：3 个输入端口 IN1~IN3 和 2 个输出端口 OUT0 及 OUT1。来自矩阵开关 502 的输出端 T44~T46 的数据流被传送给多路分解器 504 的输入端口 IN1~IN3；来自多路分解器 504 的输出端口 OUT0 及 OUT1 的数据流被传送给矩阵开关 502 的输入端 T32 及 T33。多路分解器 504 可以同时处理传给 IN1~IN3 的 3 个数据流。多路分解器 504 从输出端口 OUT0、OUT1 输出处理后的数据流，并还会把多路分解处理(从数据流取出数据的处理)后所得到的数据通过总线 B1 录制在存储器 106 中。

<DMA 电路 506>

DMA 电路 506，包括：输入端口 IN0 和输出端口 OUT0。来自矩阵开关 502 的输出端 T43 的数据流被传送给 DMA 电路 506 的输入端口 IN0；来自 DMA 电路 506 的输出端口 OUT0 的数据流被传送给矩阵开关 502 的输入端 T30。DMA 电路 506 将传输给输入端口 IN0 的数据流通过总线 B1 写入存储器 106 的同时，记录该数据流在存储器 106 的写入位置；它还在通过总线 B1 读出已写入存储器 106 内的数据流并将它从输出端口 OUT0 输出的同时，记录该数据流在存储器 106 中的读出位置。

<各种处理>

接下来，说明在图 6 所示的系统中是怎样对各种数据流进行各种处理的。

<处理 1>

首先，参照图 6、图 7 及图 8(a)说明由 AV 解码器 505 对从数码摄录像机 508 电视播放的影像、音响数据流进行解码后，进行电视播放的情况。

指示开关组 603 的开关 53 及开关组 602 的开关 02 接通的控制信号从 CPU107 传给开关控制寄存器 609。据此，开关控制寄存器 609 就将使开关 53 及 02 接通的控制信号传给开关组 603 及 602。开关 53 及 02 就变成接通状态。进一步，在 DMA 电路 506 中设定存储器 106 内的数据储存区域地址，一边在这个数据储存区域存储输入的数据流，一边对应来自 AV 解码器 505 的数据要求，从数据储存区域读出数据流的形式设定好 DMA 电路 506。

从数码摄录像机 508 向总线 B2 输出的音像数据流被输入到 IEEE 1394 接口 503，再通过输出端口 OUT1，输入到矩阵开关 502 的输入端 T35。该数据流通过开关 53，从输出端 T43 输入到 DMA 电路 506 的输入端口 IN0。DMA 电路 506 在存储器 106 内的储存区域中写入该数据流。这时的 DMA 电路，参照存储器 106 内数据流的读出位置，在记录着还没有读出的数据流的区域不能写入数据流。也就是，在存储器 106 内，记录着未读出数据流以外的区域写入数据流。

从 AV 解码器 505 提出数据要求时，DMA 电路 506 就从存储器 106 内的数据储存区域读出被储存着的数据流，然后通过输出端口 OUT0 传给矩阵开关组 502 的输入端 T30。这时的 DMA 电路，参照存储器 106 内数据流的读出位置，从已经记录着数据流的区域读出的数据流。这个数据流通过数据流开关 02 从输出端 T42 过渡给 AV 解码器 505 的输入端口 IN0，再由 AV 解码器 505 进行 AV 解码处理后被显示播放。

<处理 2>

下面，参照图 6、图 7 及图 8(b)说明对通过以太网(R)接收，由 CPU 选取的数据流的多路分解处理。

指示开关组 604 的开关 04 接通的控制信号被从 CPU107 传给开关控

制寄存器 609。开关控制寄存器 609 据此将使开关 04 接通的控制信号传给开关组 604。开关 04 据此而成为接通状态。另外，将多路分解器 504 设定为：对传给输入端口 IN1 的数据流进行多路分解处理，并将处理结果储存在存储器 106 的形式。还有，设定 DMA 电路 506 为从存储器 106 内的接收数据流储存区域读出数据流，然后从输出端口 OUT0 输出的形式。

以太网(R)接口 507 接收的数据包，通过总线 B1 储存于存储器 106 的以太网(R)数据接收区域。CPU107 处理这个以太网(R)数据包，从中取出所希望的数据流，储存在存储器 106 的接收数据流储存区域中。

DMA 电路读出储存在存储器 106 内的储存在接收数据储存区域中的数据，从输出端口 OUT0 传给矩阵开关 502 的输入端口 T30。该数据流通过开关 04 从输出端 T44 传给多路分解器 504 的输入端口 IN1。多路分解器 504 对所输入的数据流进行多路分解处理，并将其结果储存于存储器 106 中。

这样，就可以通过非通常性的数据流接口，如以太网(R)等的接口，对所接收的数据流进行多路分解处理。

<处理 3>

下面，参照图 6、图 7 及图 8(c)，说明有关从调谐器 111 接收的电视播放数据流(传输数据流)中取出要用数码 TV 接收机 500 的软件进行处理的节目表、解码钥匙数据等的处理。

首先说明传输数据流的数据格式化和它的多路分解处理。传输数据流是由一连串的传输包构成的。传输包为 188 位长的数据包，储存了各种各样的数字电视播放数据。储存在传输包中的数据主要分为 PES (Packet Elementary Stream)数据包和段数据。PES 数据包储存了构成电视播放节目的音像数据(基本数据)。段数据储存了作为数码 TV 接收机的软件处理对象的节目表及解码用钥匙等。各个传输包都被附加了包识别子(PID)。包识别子表示储存了的数据的种类，既影像、音频、节目表等。并且，段数据的先头附加有标题信息。标题信息还隐含了段数据内容的详细种类、内容变更状况的信息。

多路分解器 504，识别输入的传输数据流包的包识别子，判断它是应

该接收的电视节目的基本数据流，还是应该接收的段数据。然后进行传输数据流包单位的选择(包识别子的筛选处理)。其后，从传输数据流包中选出 PEC 包过段数据。对于被取出的段数据进一步进行基于段数据的标题信息筛选处理(段筛选处理)，其内容一般为对于判断段数据的标题部分 16 字节，与 32 种的条件数据进行比较，判定有无一致。经过筛选的 PES 包或是段数据，它们的每一种暂存于存储器 106 后，PES 包，亦即音像数据经过 AV 解码器 505 的伸长处理后由电视播放。另一方面，段数据被软件处理，取出节目表或是密码解除用钥匙数据，由此来控制数码 TV 接收机 500 的操作。

一般的讲，数码 TV 播放的传输数据流的数据传输率约为 30Mbps (2000 包/秒)，这样就有必要用这个数据传输率在实际时间中实行多路分解处理。特别是对于 1 个传输数据流包，最大有必要实行 10 次区域筛选处理。也就是，有必要实行在 1 秒钟内，对于 2000 包×10 个的段数据进行 32 种×16 字节的比较处理(合计 100 兆字节的比较处理)。

实施例 2 中，多路分解处理的包识别子筛选处理及段筛选处理不是实时处理，而是分两次进行的。

首先，多路分解器 504 用包筛选处理的方法取出应接收的基本数据，然后储存于存储器 106 中。另一方面，多路分解器 504，由在输入的数据流中只留下具有应该接收的段数据的包识别子的传输数据流包而生成的部分传输数据流包，并将其暂存于存储器 106 中。然后，按顺序从存储器 106 中取出被暂存的部分传输数据流，再一次输给多路分解器 504 进行段筛选处理。

一般的讲，数码 TV 播放的传输数据流的数据传输率 30Mbps 中，1~2 Mbps 为段数据的传输率，剩下的为基本数据的传输率。也就是，经过包识别子筛选处理取出的，只是由接收对象的段数据构成的部分传输数据流的平均数据传输率最多为 1~2Mbps。其结果，段筛选处理所必要的比较处理能力与上述的实时处理中被接收的传输数据流的情况相比较，可减轻 1/30~ 1/15。如此，电路的规模就可缩小，由软件进行的段筛选处理就成为可能。

以下，具体说明如上所述的 2 阶段多路分解处理的操作过程。在这里，

从电视播放接收的传输数据流内，设定应接收的段数据的平均数据传输率为 1Mbps。

指示开关组 605 的开关 15、开关组 603 的开关 23 及开关组 604 的开关 04 接通的控制信号被从 CPU107 传给开关控制寄存器 609。开关控制寄存器 209 据此将使开关 15、23 及 04 接通的控制信号传给开关组 604。开关 15、23 及 04 据此而成为接通状态。另外，多路分解器 104 设定为：对于从输入端口 IN2 输入的数据流，由包识别子筛选处理取出的只包含应接收的段数据包，作成只由这个包形成的部分传输数据流，然后由输出端口将它输出的形式。还有，多路分解器 504 还被设定为：对于从输入端口 IN1 被输入的数据流能够进行选择段数据和向存储器 106 储存处理。再有，在 DMA 电路 506 中设定存储器 106 内的数据储存区域地址，同时 DMA 电路 506 设定为：将传给输入端口 IN0 的数据流储存于这个区域，且低速(1Mbps)读出该储存数据，然后从输出端口 OUT0 输出的形式。

由调谐器 111 接收的播放数据流(加密了的数据流)先被传送给矩阵开关 502 的输入端 T31，再通过开关 15 从输出端 T45 输出，然后被传给多路分解器 504 的输入端口 IN2。多路分解器 504，从这个数据流中用包识别子筛选处理只取出包含段数据的包，生成只由段数据形成的部分传输数据流，然后将它由输出端口 OUT0 输出。因为应接收的段数据的平均数据传输率为 1Mbps，所以这个部分数据流的数据传输率也为 1Mbps。这个部分数据流被传给矩阵开关 502 的输入端 T32，通过开关 23 从输出端 T43 输给电路 506 的输入端口 IN0。DMA 电路 506 在存储器 106 内的数据储存区域暂存被输入的部分数据流。同时，若在该数据储存区域上已存有数据流的情况下，DMA 电路用低速(1Mbps)读出这个数据流，然后从输出端口 OUT0 输出。这个数据流通过矩阵开关 502 的开关 04，从输出端 T44 输给多路分解器 504 的输入端口 IN1。多路分解器 504 对于从输入端口 IN1 输入的数据流进行取出段数据和段数据筛选处理，并将其结果数据储存于存储器 106 的所定区域。

正如这样，为进行不需要按实际时间处理的区域筛选处理暂存数据流后，可以重新以低速数据流的形式处理。

如此，因将多路分解处理分为了 2 个阶段，削减进行区域筛选处理的

电路规模及由软件进行区域筛选处理都成为了可能。

在这里，设定为了由 DMA 电路 506 低速读出储存在存储器 106 的部分传输数据流的形式，然而，也可以设定为：多路分解器 504 提出数据要求，对应于此，DMA 电路 506 从存储器 106 的数据储存区域读出部分传输数据流，提供给多路分解器 504 的形式。也就是，对应于矩阵开关 502 的各个输出端，设定数据要求信号的输入，这个数据要求信号沿着矩阵开关 502 的联接反方向，通过与该输出端相对应的输入端输给提供数据流的地方。在上述例中，从多路分解器 504 的输入端口 IN1 输出数据要求信号，其经过矩阵开关 502，从 DMA 电路 506 的输出端口 OUT0 输入给 DMA 电路 506。DMA 电路 506 根据这个数据要求信号读出储存在存储器 106 的部分数据流。被读出的部分数据流经过矩阵开关 502 提供给多路分解器 504 的输入端口 IN1。这样，根据对应于数据要求提供数据，做为处理对象的部分数据流的数据传输率发生变动时，也可以通过软对应实行多路分解处理。

<效果>

如上所述，实施例 2 中，因为设置了对于存储器 106 的数据流可以读出写入的 DMA 电路 506，暂存数据流处理中的数据及把 CPU107 处理了的数据做为数据流处理都变成了可能，进一步提高了系统构成的自由度。

另外，因为数据的提供是对应于数据要求信号而实施的，所以就增加了操作的自由度，操作的组合形式可能的输入输出及处理方法的种类。

还有，这个实施例中所表示了的输入、输出端口的数量，只是做为一个例子而已，实际运用中不受其限制。还有，这里只说明了数据的要求信号从多路分解器 504 过渡给 DMA 电路 506 的例子，同样也不受其限制，对应于所有的数据流提供方及接收方的矩阵开关的设定都可能进行过渡。更有胜者，不单单是数据要求信号，其他的控制信号一样可以过渡。

(实施例 3)

实施例 1 及 2 所述的是，矩阵开关的开关组从 8 个输入端输入的数据流中选择 1 个数据流，并将其输出的情况。实施例 3 的特征是，矩阵开关的开关组可以将复数数据流复用处理后输出的情况。

＜开关组的构成＞

图 9 是表示本发明第 3 实施例所涉及开关组的构成的方框图。开关组以外的构成与图 6 及图 7 所示的系统相同。参照图 9，各个数据流 0~7，表示有效数据输入的数据允许信号 0~7 在变成有源时被各自的寄存器 800~807 取存。另外，数据允许信号 0~7 被输入到复用控制电路 808 中，复用控制电路 808 管理着寄存器 800~807 中哪个寄存器中储存着数据的信息。另外，复用控制电路 808 在寄存器 800~807 中储存数据后，在控制选择其顺序方式的控制选择器 809 的同时，输出输出数据允许信号和输出数据选择信号。但是，从开关控制寄存器 609 输入的输出选择信号，控制对于每一个输入数据是否进行复用处理。输出数据允许信号和输出数据选择信号也被输入到输出地指示电路 810 中。输出地指示电路 810 中由开关控制寄存器 609 指定向开关组的输入和输出地的对应关系。基于这个对应关系，输出地指示电路 810 输出输出地指示信号。输出地指示信号是表示输出数据信号所表示的输入信号应输出的输出地。这样，开关组在输出复用了复数个输入数据中所指定的数据的同时，可以识别各个被复用了的数据，输出表示输出地的信号。输入被复用了的数据和输出地指示信号的电路参照输出地指示信号从复用了的数据分离为原数据，可以对各个数据实施个别处理。

＜开关组的操作＞

这个开关组的工作时序图的例子由图 10 来表示。在这个例中，数据 0、1、2、3 被输入，设定开关控制寄存器 609 的指示为数据中的 0、1、2 要复用输出。还有开关控制寄存器 609 指定数据 0 的输出地为 1，数据 1 的输出地为 0，数据 2 的输出地为 3 的对应方式。首先，输入的数据 0 储存于寄存器 800，下一个时钟时选择器 809 选择数据 0 输出，与此同时，从输出地指示电路 810 输出表示输出地 1 的输出地指示信号。其次，同时输入数据 1、2、3，写入各自的寄存器 801~803。这些数据根据复用控制电路 808 的指示，在下一个时钟时，输出数据 1 的同时表示输出地 0 的输出地指示信号被输出，还有，在下一个时钟时，输出数据 2 的同时表示输出地 3 的输出地指示信号也被输出。但是，数据 3 由于开关控制寄存器 609 没有给出输出的指示而不被输出。有了能实现如此操作的开关组，就可以

复用多个输入数据流为 1 个数据流而输入给 AV 解码器 505 等。

与这个开关组的操作时序图不同的例用图 11 表示。在这个例中，数据 0、1、2、3 被输入，其中，设定开关控制寄存器 609 的指示为数据中的 0、1、要复用输出。还有开关控制寄存器 609 指定数据 0 的输出地为 1，数据 1 的输出地为对应输出地 0 和 3 的分枝输出形式。首先，输入的数据 0 储存于寄存器 800，在下一个时钟时，选择器 809 选择数据 0 输出，与此同时，从输出地指示电路 810 输出表示输出地 1 的输出地指示信号。其次，同时输入数据 1、2、3，写入各自的寄存器 801~803。这些数据根据复用控制电路 808 的指示，在下一个时钟时，输出数据 1 的同时表示输出地 0 的输出地指示信号和表示输出地 3 的输出地指示信号被输出。但是，数据 2 和 3 由于开关控制寄存器 609 没有给出输出指示而不被输出。有了能实现如此操作的开关组，就可以复用多个输入数据流为 1 个数据流，对于复数个数据流进行个别处理的 AV 解码器 505 等只需输入这一个数据流即可。还有，也可以将输入 AV 解码器的 3 个系统的数据流中的 2 个做为相同的数据流。也就是，在实施 1 中说明了的实现分解 1 个数据流为 2 种类型数据的处理的方法，利用复用输出数据输出开关组也可以实现。

<系统所能实现的功能>

在具备了如上说明了的开关组后，图 6 及图 7 所表示的系统可实现以下的功能。还有，在这里的 AV 解码器 505，接收由复数个数据流复用后而形成的输入数据流，据输出地指示信号，取出被复用了的数据做为可以被解码的另外的 AV 数据。

现在说明在 AV 解码器上同时解码来自联接在总线 B2 上的数码摄影机 508 的电视播放数据流和来自联接在 HDD 接口 105 上的 DVD 驱动器 509 的电视播放数据流的 2 个音像显示的情况。

通过 CPU107 及开关控制寄存器 609，设定开关组 602 为：在接通开关 42 及 72 后，复用来自输入端 T34 输入的数据流及来自从输入端 T37 输入的数据流，然后再输出的形式。还有，设定 IEEE1394 接口 503 为：从输出端口 OUT0 能输出来自数码摄录像机 508 的电视播放数据流。再有，设定 HDD 接口 105 为：从输出端口 OUT0 能输出来自 DVD 驱动器 509 的电视播放数据流的形式。

来自数码摄录像机 508 的电视播放数据流从 IEEE1394 接口 503 的输出端口 OUT0 输入给开关 42。另一方面，来自 DVD 驱动器 509 的电视播放数据流从 HDD 接口 105 的输出端口 OUT0 输入给开关 72。这 2 个数据流由开关组 602 复用后输入给 AV 解码器 505 的输入端口 IN0。AV 解码器 505 将复用了的 2 个数据流各自解码，显示处理。

如上述的构成进行操作，做为电路来讲，只需要 1 个数据流联接系统，就可以自由的联接复数个数据流。

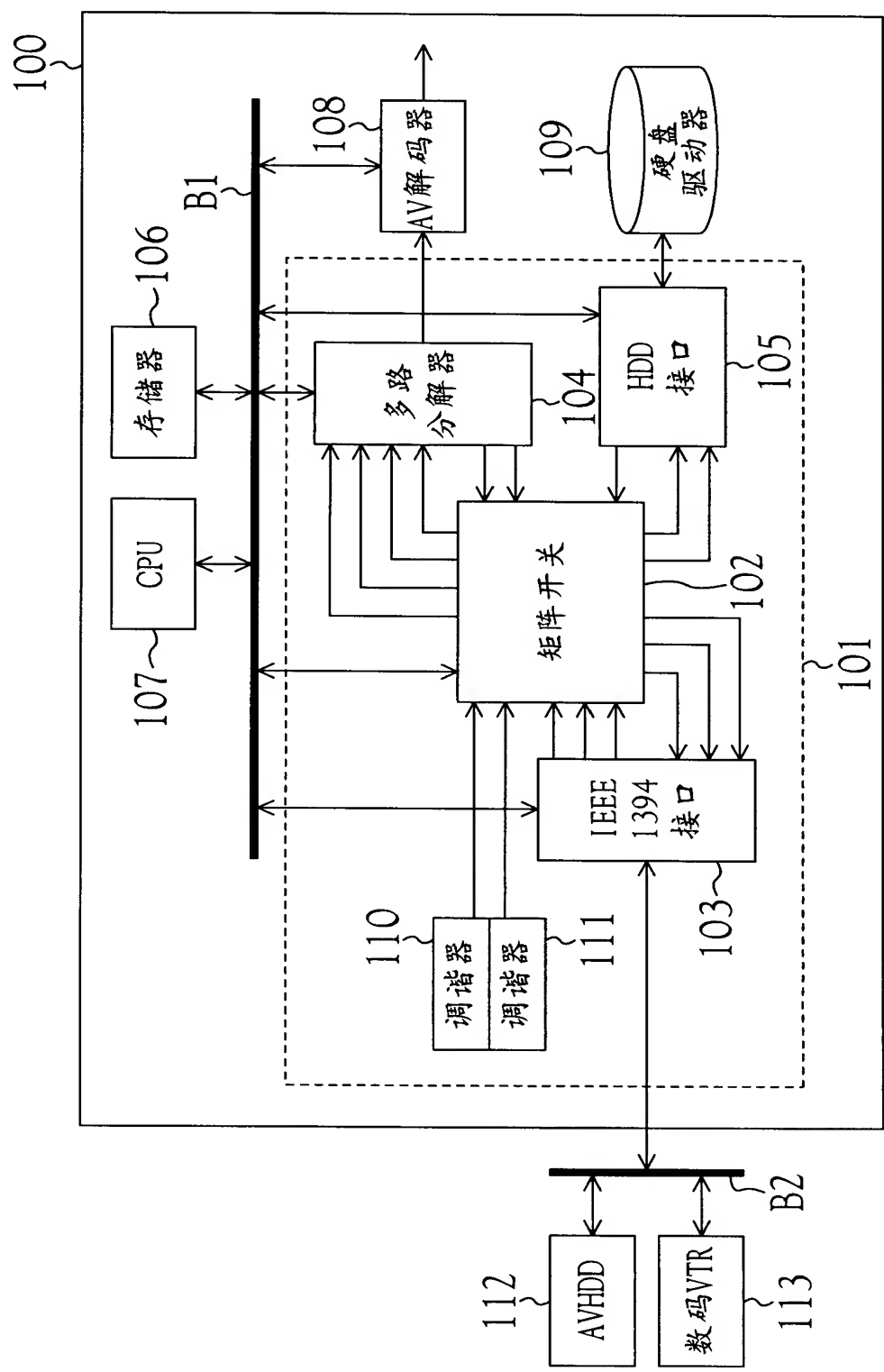
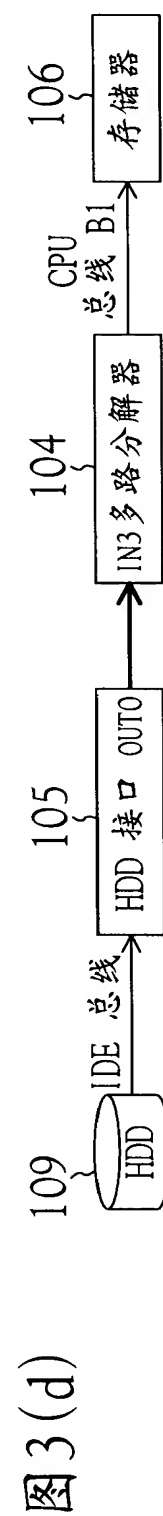
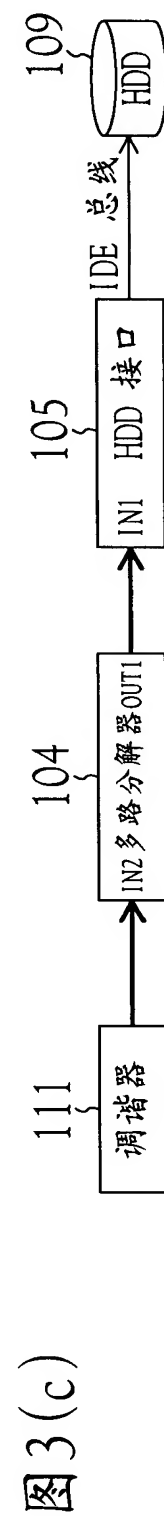
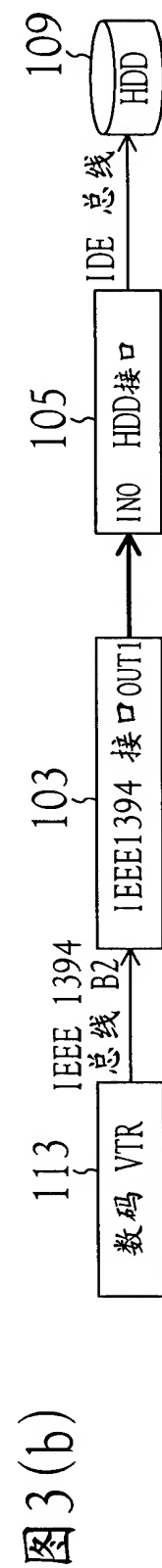
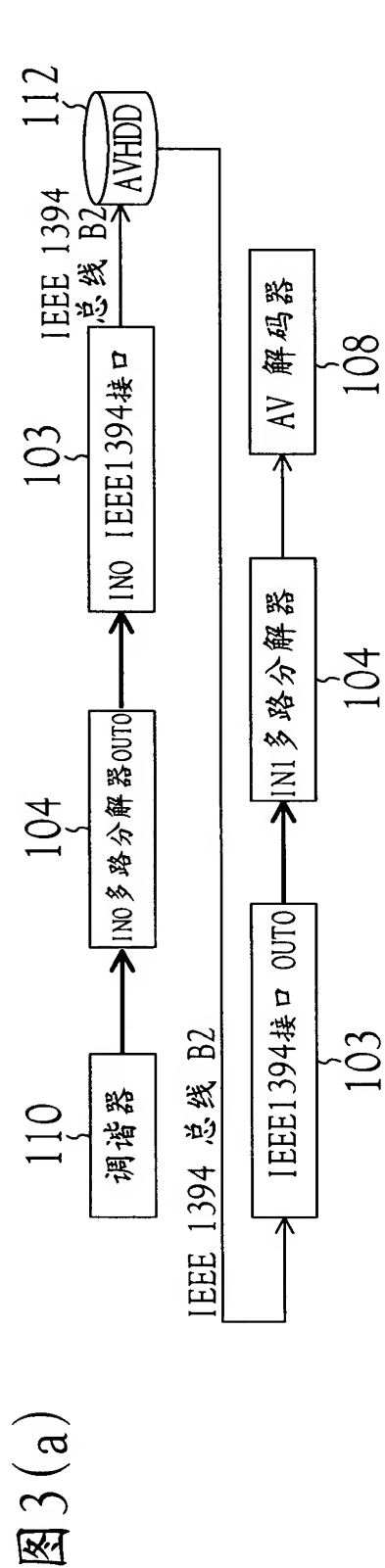


图 1



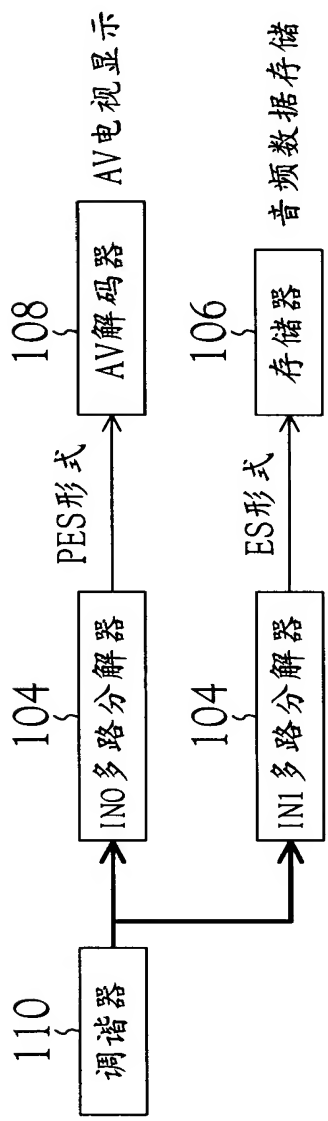
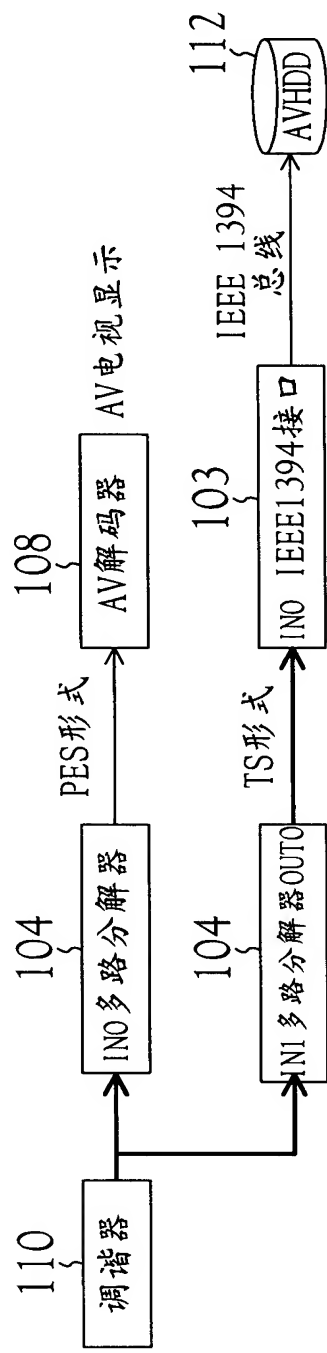


图4(a)



收视节目的录制

图4(b)

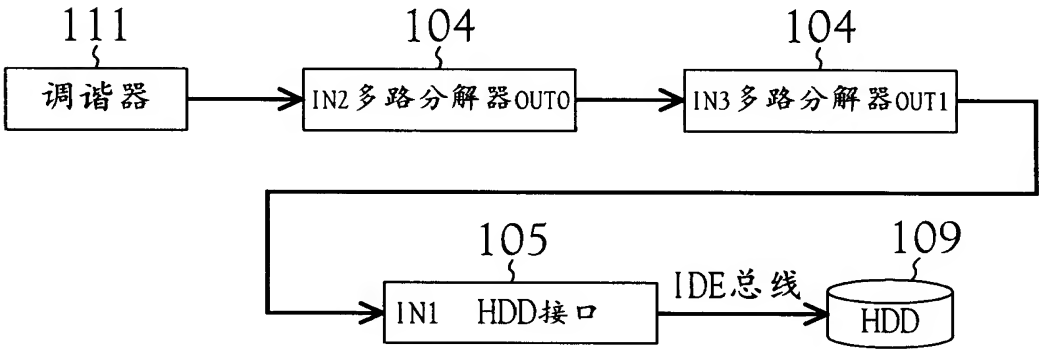


图 5

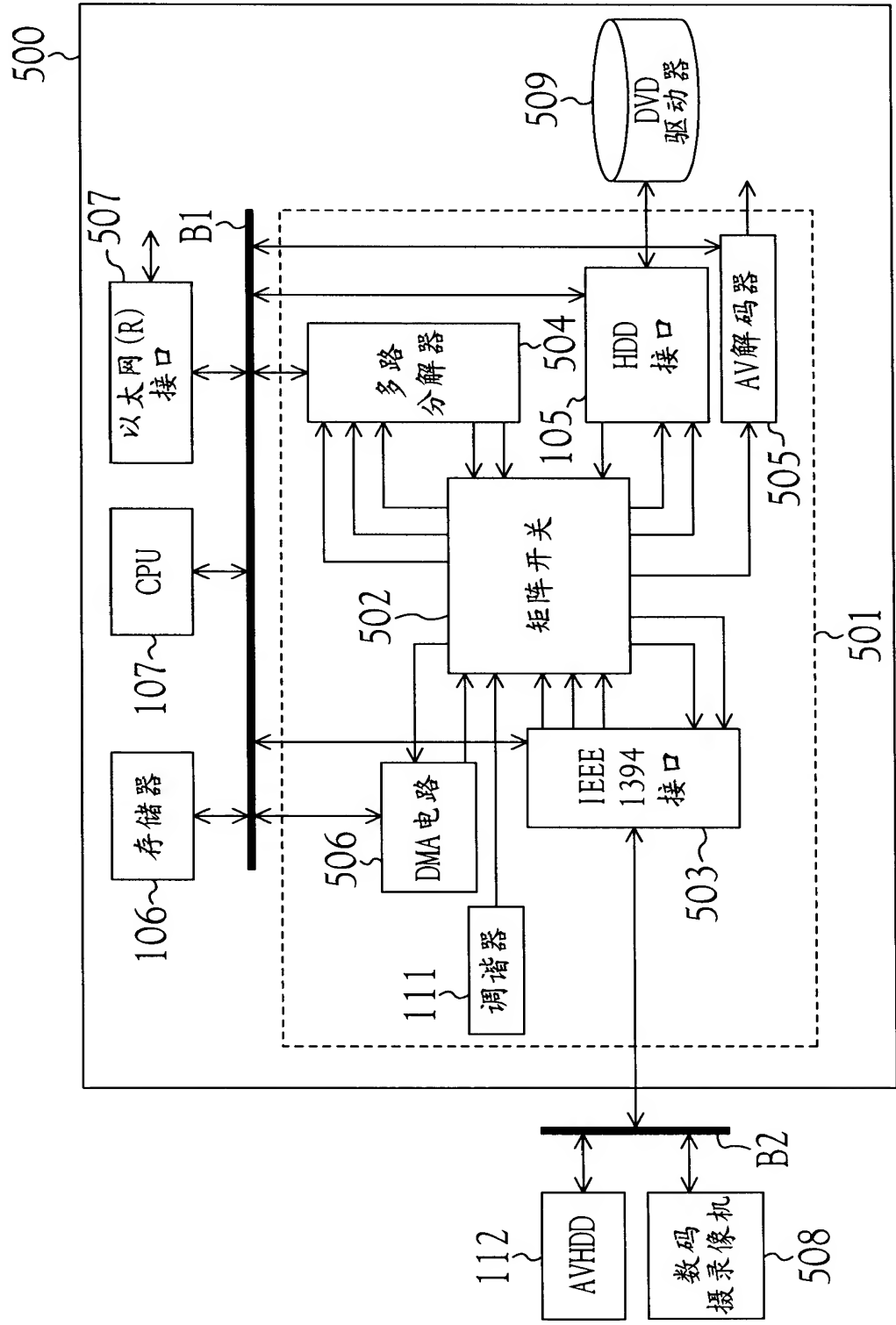


图 6

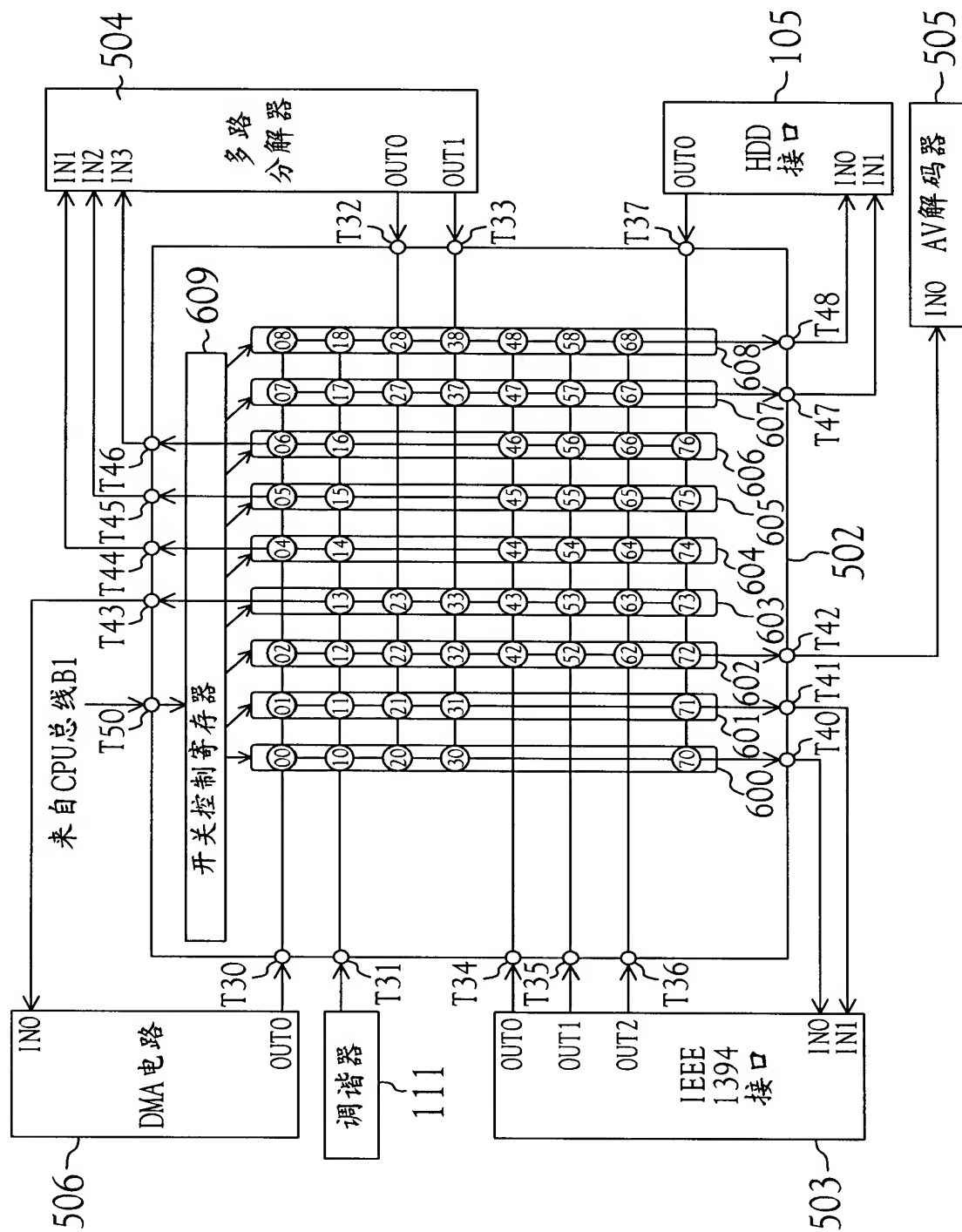
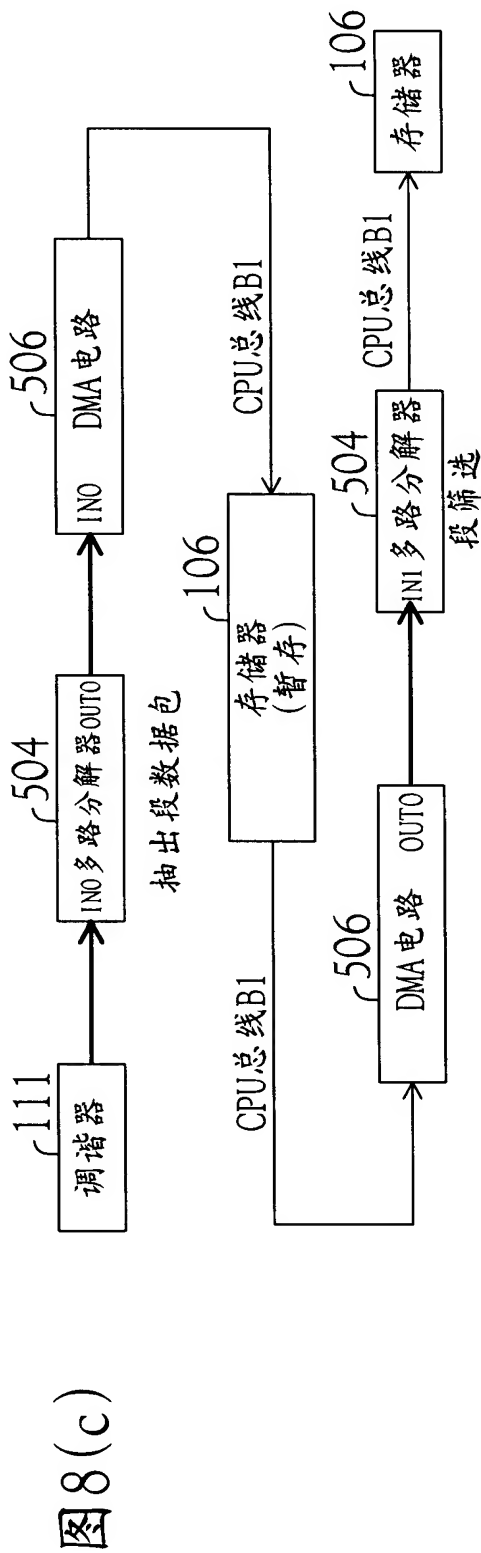
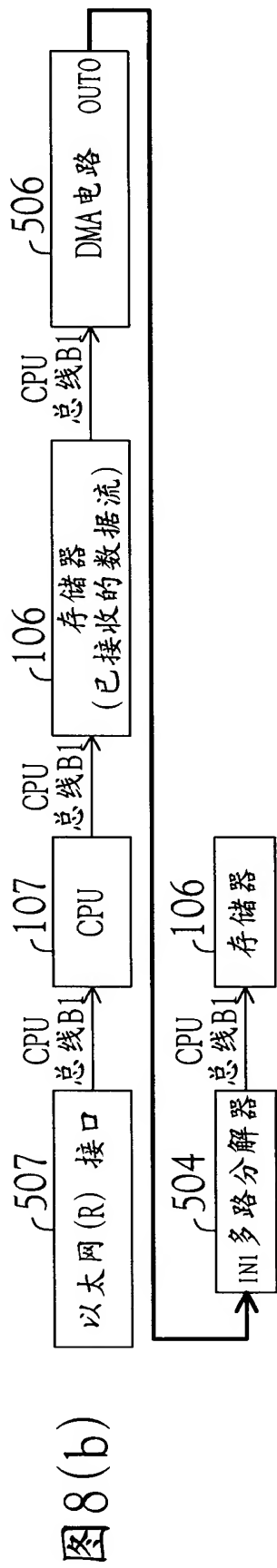
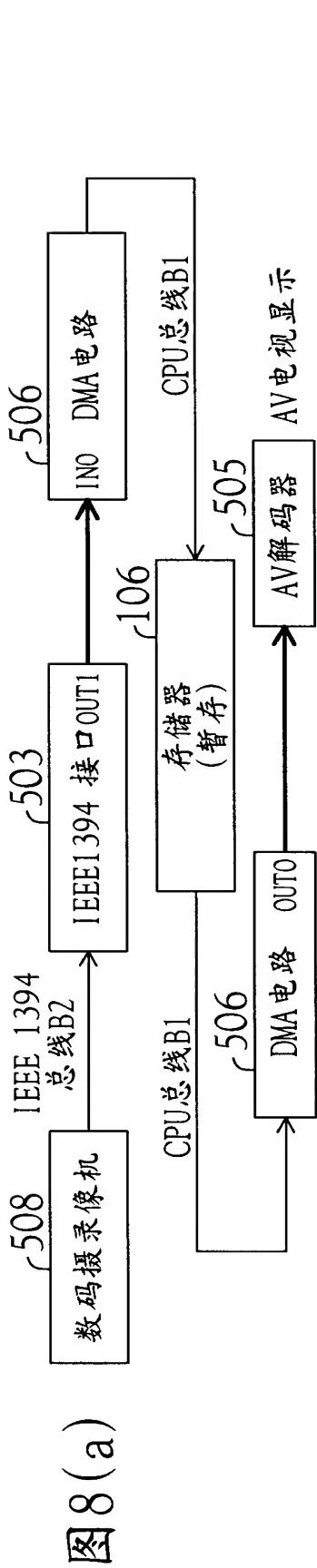


图 7



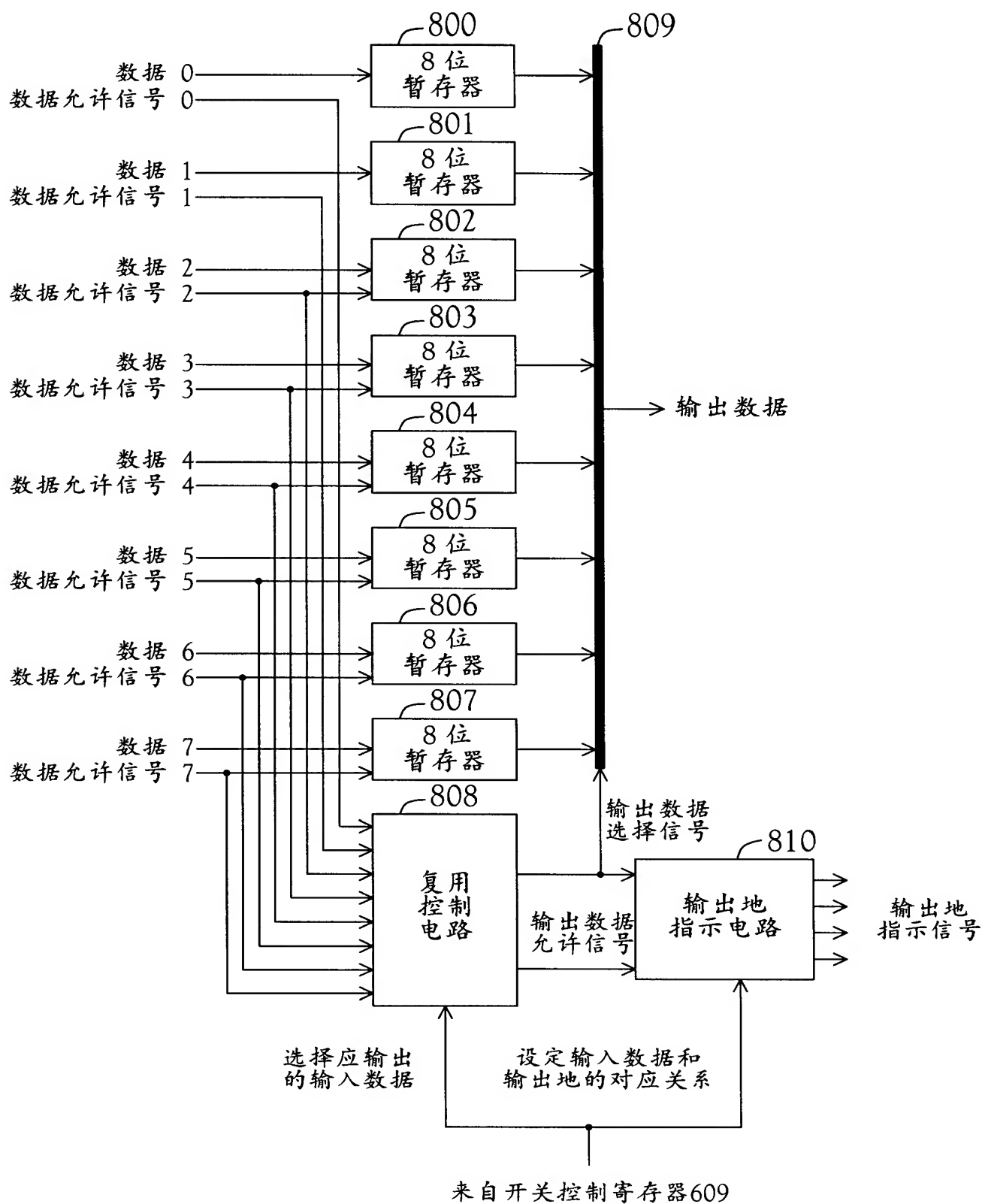


图 9

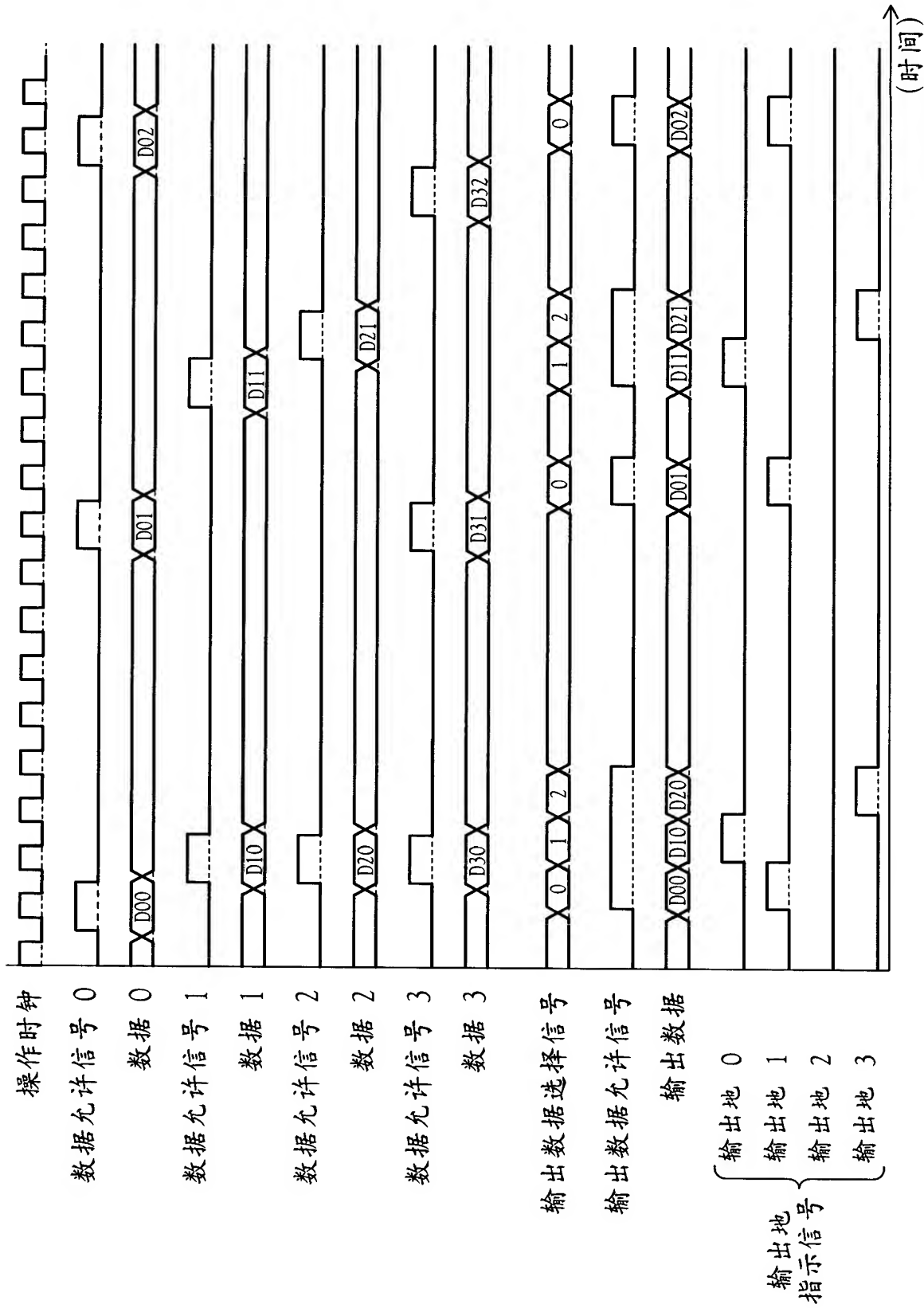


图 10

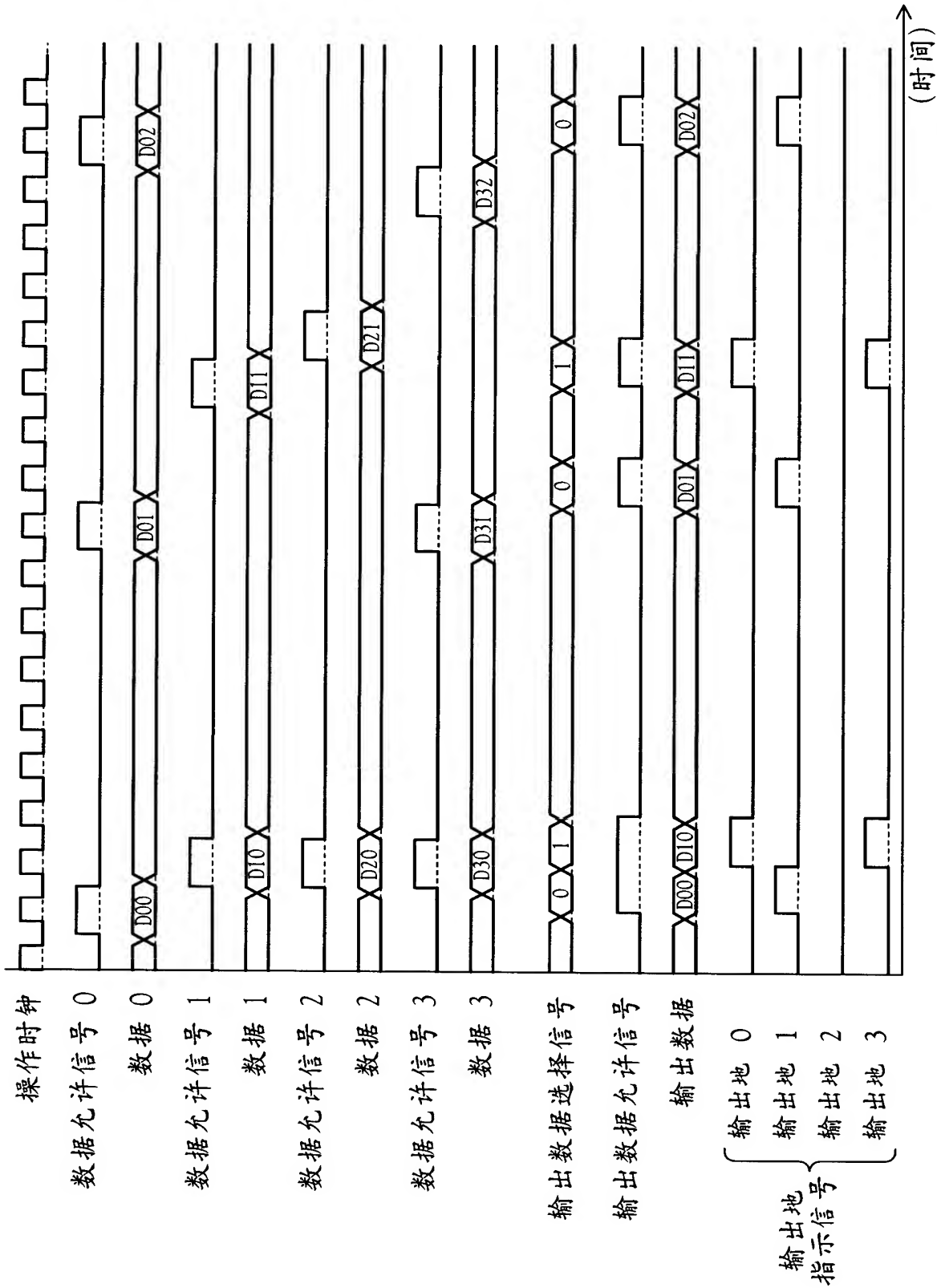


图 11